

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS
- BLANK PAGES

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-131960

(43)Date of publication of application : 06.05.1992

(51)Int.Cl.

G06F 15/16

(21)Application number : 02-251868

(71)Applicant : HITACHI LTD
HITACHI INF & CONTROL SYST INC

(22)Date of filing : 25.09.1990

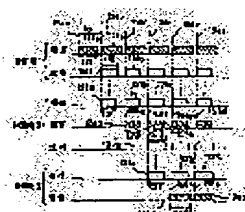
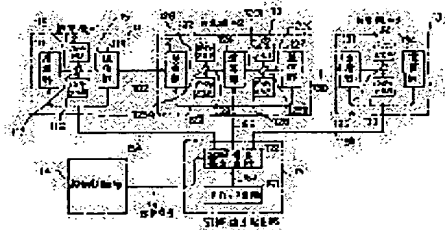
(72)Inventor : ONO HARUMICHI
SHIMIZU NORIKAZU
EBARA OSAMU
KAYUKAWA SATORU

(54) COMPUTER OPERATING METHOD AND COMPUTER SYSTEM

(57)Abstract:

PURPOSE: To maximize the throughput within a single cycle by securing the independent operations between an arithmetic part and a transmission/reception part by means of an alternate buffer memory, starting simultaneously the arithmetic processing and the data transmission/reception processing with a synchronizing signal common to all computers, and completing both processings within a single cycle of the synchronizing signal.

CONSTITUTION: When a computer #1 (11) detects a synchronizing signal 154b, an arithmetic part 111 carries out an operation 111b and stores this arithmetic result in a buffer memory 113. At the same time, a transmission part 114 performs the transmission processing 114a to transmit the contents of a buffer memory 112 to a computer #2 (12). Thereafter the computer #1 repeats the preceding operations for each detection of pulses 154c, 154d, 154e... of the synchronizing signals 154. Thus the computers #1 (11), #2 (12) and #3 (13) start the arithmetic operations and the transmission/reception of data concurrently with detection of the synchronizing signal. These operations are carried out in parallel by the independent circuits. As a result, no loss time is produced by the transmission/reception processing of each computer and the throughput is maximized within a single cycle.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-131960

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月6日

G 06 F 15/16

3 3 0 Z

8840-5L

審査請求 未請求 請求項の数 5 (全10頁)

⑭ 発明の名称 計算機の運転方法及び計算機システム

⑯ 特 願 平2-251868

⑰ 出 願 平2(1990)9月25日

⑱ 発 明 者 小 野 治 通 茨城県日立市大みか町5丁目2番1号 株式会社日立情報
制御システム内

⑲ 発 明 者 清 水 伯 一 茨城県日立市大みか町5丁目2番1号 株式会社日立情報
制御システム内

⑳ 発 明 者 江 原 修 茨城県日立市大みか町5丁目2番1号 株式会社日立情報
制御システム内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 出 願 人 株式会社日立情報制御 システム 茨城県日立市大みか町5丁目2番1号

㉓ 代 理 人 弁理士 秋本 正実
最終頁に続く

明 細 書

1. 発明の名称

計算機の運転方法及び計算機システム

2. 特許請求の範囲

1. 互いに接続された複数台の計算機と、該各計算機へ完全同期した同期信号を発生する同期信号発生部とを有し、各計算機内にあっては、演算部からのアクセスと送受信部からのアクセスを同時に行うことのできる交代バッファメモリを用いて、演算部と送受信部の動作を独立化し、全計算機共通の同期信号により、演算処理とデータの送受信処理を同時に開始させ、同期信号の1サイクル内に処理を完了させるようにした計算機の運転方法。

2. 互いに接続された複数台の計算機と、該各計算機へ完全同期した同期信号を発生する同期信号発生部と、より成り、

上記各計算機は、演算部と、他の計算機との交信用の送受信部と、演算部と送受信部との間に設けた2つの交代バッファメモリと、該2つ

の交代バッファメモリを、上記同期信号に同期して、演算部用と送受信部用とに、交互に切替える切替部と、を有する計算機システム。

3. 互いに接続された複数台の計算機と、該各計算機へ、完全同期した同期信号を発生する同期信号発生部と、より成り、

上記各計算機は、演算部と、他の計算機との交信用の送受信部と、演算部と送受信部との間に設けた2つの交代バッファメモリと、該2つの交代バッファメモリを、演算部用と送受信部用とに、交互に切替える切替部と、より成り、

各計算機内の演算部は、上記同期信号が入力する毎に、上記切替部を動かして2つのバッファメモリを、一方は演算部用に、他方は送受信部用に、交互に、切替えさせるものとし、且つすべての演算部とすべての送受信部とは上記同期信号に同期して、対応するバッファメモリとの間で演算処理、送受信処理を独立で行うものとする計算機システム。

4. 互いにカスケード接続された3台以上の計算

機と、該計算機へ完全周期した同期信号を発生する同期信号発生部と、より成り、

初段の計算機は、演算部と、次段の計算機への送信部と、演算部と送信部との間に設けた2つの交代バッファメモリと、該2つの交代バッファメモリを演算部用と送信部用とに交互に切替える切替部と、より成り、

中段の計算機は、前段の計算機からの受信部と、演算部と、次段の計算機への送信部と、上記受信部と演算部との間に設けた2つの交代バッファメモリ(I)と、該2つの交代バッファメモリ(I)を上記受信部用と演算部用とに、交互に、切替える第1の切替部と、上記演算部と送信部との間に設けた2つのバッファメモリ(II)と、該2つの交代バッファメモリ(II)を演算部用と送信部用とに、交互に、切替える第2の切替部と、より成り、

最終段の計算機は、前段の計算機からの受信部と、演算部と、該受信部と演算部との間に設けた2つの交代バッファメモリと、該2つの交

代バッファメモリを該受信部用と演算部用とに、交互に切替える切替部と、より成り、

各計算機内の演算部は、同期信号が入力する毎に、上記各切替部を動かして各2つの交代バッファメモリを、一方は演算部用、他方は受信部用と送信部用に、交互に、切替えるものとし、且つすべての演算部、すべての受信部、すべての送信部は上記同期信号に同期して対応するバッファメモリとの間で、演算処理、受信処理、送信処理を行うものとする計算機システム、

5. 複数台の計算機からの入力を受け、複数台の計算機へ処理結果を出力する計算機と、各計算機へ完全周期した同期信号を発生する同期信号発生部とを有し、

該計算機は、入力側の複数台の計算機対応の受信部と、演算部と、該各受信部と演算部との間に設けた2つの交代バッファメモリ群(I)と、出力側の複数台の計算機対応の送信部と、上記演算部と各送信部との間に設けた2つの交代バッファメモリ群(II)と、上記2つの交代バッファ

メモリ群(I)を受信部用と演算部用とに、上記同期信号に同期して、切替える第1の切替部と、上記2つの交代バッファメモリ群(II)を演算部用と送信部用とに、上記同期信号に同期して切替える第2の切替部と、より成る計算機システム、

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数の計算機が同期をとりながら処理の分担を行っている計算機システムに関する。

〔従来の技術〕

複数の計算機の同期をはかった従来例には、特開昭63-291156号公報がある。はこの従来例は、各計算機に対し、後段の計算機へ印加する同期信号時点を、前段の同期信号発生時点からその前段の計算機の処理に要する時間よりも長くずらしたものとした。この結果、システム全体としての処理時間の短縮、つまりロスタイムの削減を図った。

具体的に従来例を説明する。第6図は従来例のブロック図、第7図は従来例のタイミングチャー

トである。この従来例は、多段結合された複数の計算機へ、個々の計算機毎に定期時間分の位相差をもった同期信号を与えて、処理を実行するものである。即ち、この従来例は、1台の同期信号発生部62と3台のカスケード接続された計算機#1～#3(61～63)とを有し、同期信号発生部62は、クロック回路65と、それぞれ異なるタイミングの同期信号71～73を発生する同期信号発生部63、64、65とを有する。計算機#1(61)は第1の同期信号発生回路63により同期信号71(71a, 71b, ...)毎に演算処理(711a, 711b, ...)と送信処理(712a, 712b, ...)を行い、計算機#2(62)はそれらの処理の合計時間($t_1 + t_{1s}$)よりも長い時間 t_{12} なる位相差をもつ同期信号72(72a, 72b, ...)によって演算処理(722a, 722b, ...)と送信処理(723a, 723b, ...)を行う。計算機#3(63)も同様に計算機#2(62)の処理の合計時間($t_2 + t_{2s}$)よりも長い時間 t_{23} なる位相差をもった同期信号73(73a, 73b, ...)毎に演算(732a, 732b, ...)を行う。

〔発明が解決しようとする課題〕

上記従来例を適用する為には、前記のように各計算機に対するデータ転送の開始タイミングを始めとして、全体の処理時間を把握することが前提となる。音声や映像のリアルタイムシミュレーションの制御を行う多段階のマルチプロセッサシステムにおいては、個々の計算機の処理内容やデータ転送量が逐次変化する場合があります、データ転送の開始時間を一義的に決定することができない。したがって、制御を統括するホスト計算機からはそれらの個々の計算機に対する処理開始のタイミングの確立が不可能となる為、この様なシステムには適用できなくなる点が問題となる。

更に従来例は、各計算機間のデータの送信及び受信処理の時間(t_{1s} , t_{2r} , t_{2s} , t_{3r})が演算時間に比べ極めて短い場合は問題ないが、それが長くなってくると同期信号がサイタイム t_0 内の演算時間(t_1 , t_2 , t_3)が削減されることになりスループットの低下につながる。逆に t_0 内のスループットを向上させようとするれば今度はデータの送受信処理(t_{1s} , t_{2r} , t_{2s} , t_{3r})の時

間を十分に確保できなくなる。したがって、この方式ではデータの転送量が多い場合や負荷率の高い処理を要求されるシステムに対して有効ではない。

また、従来の方式においては計算機1台毎に個別の同期信号を与えなければならない為、大規模かつ複雑化したシステム構成の場合次の点が問題となる。

- (1) 計算機の台数毎に同期信号を発生させるハードウェアロジックを必要とし、さらに全計算機毎の処理時間を把握しない限り各計算機毎の同期信号の位相差の設定が不可能。
- (2) 計算機間の接続変更や処理時間の変更が生じた場合、特定の計算機のみならず、すべての同期信号の位相差の再設定を強いられる可能性がある。これは、ソフトウェアのデバック時、システムの立ち上げ時や保守点検時の作業効率を著しく低下させるものである。

本発明は、以上述べた問題点を解決し、さらにシステムとしてのスループットを最大限に向上さ

せる計算機の運転方法及び、計算機システムを提供することを目的とする。

〔問題を解決するための手段〕

本発明の計算機の運転方法は、計算機内にあっては、演算部からのアクセスと送受信部からのアクセスを同時に行うことのできる交代バッファメモリを用いて、演算部と送受信部の動作を独立化し、全計算機共通の同期信号により、演算処理とデータの送受信処理を同時に開始させ、同期信号1サイクル内に処理を完了させるようにした。(請求項1)。

更に、本発明の計算機システムは、各計算機にあっては、演算部と、他の計算機との交信用の送受信部と、演算部と送受信部との間に設けた2つの交代バッファメモリと、該2つの交代バッファメモリを、同期信号に同期して、演算部用と送受信部用とに、交互に切替える切替部とを有する(請求項2)。

更に本発明の計算機システムは、各計算機内にあっては、演算部と、他の計算機との交信用の送

信部と、演算部と送受信部との間に設けた2つの交代バッファメモリと、該2つの交代バッファメモリを、演算部用と送受信部用とに、交互に切替える切替部と、より成り、各計算機内の演算部は、上記同期信号が入力する毎に、上記切替部を動かして2つのバッファメモリを、一方は演算部用に、他方は送受信部用に、交互に切替えさせるものとし、且つすべての演算部とすべての送受信部とは同期信号に同期して、対応するバッファメモリとの間で演算処理、送受信処理を独立で行うものとする(請求項3)。

更に本発明の計算機システムは、互いにカスケード接続された3台以上の計算機での初段の計算機は、演算部と、次段の計算機への送信部と、演算部と受信部との間に設けた2つの交代バッファメモリと、該2つの交代バッファメモリを演算部用と送受信部用とに交互に切替える切替部と、より成り、中段の計算機は、前段の計算機からの受信部と、演算部と、次段の計算機への送信部と、上記受信部と演算部との間に設けた2つの交代バ

ッファメモリ(I)と、該2つの交代バッファメモリ(I)を上記受信部用と演算部用とに、交互に、切替える第1の切替部と、上記演算部と送信部との間に設けた2つのバッファメモリ(II)と、該2つの交代バッファメモリ(II)を演算部用と送信部用とに、交互に、切替える第2の切替部と、より成り、最終段の計算機は、前段の計算機からの受信部と、演算部と、該受信部と演算部との間に設けた2つの交代バッファメモリと、該2つの交代バッファメモリを該受信部用と演算部用とに、交互に切替える切替部と、より成り、各計算機内の演算部は、同期信号が入力する毎に、上記各切替部を動かして各2つの交代バッファメモリを、一方は演算部用、他方は受信部用と送信部用とに、交互に、切替えるものとし、且つすべての演算部、すべての受信部、すべての送信部は、上記同期信号に同期して対応するバッファメモリとの間で、演算処理、受信処理、送信処理を行うものとする(請求項4)。

更に本発明の計算機システムは、複数台の計算

によって、以下の作用を得る。

- (1) 各計算機毎の送受信処理によるロスタイムがなく、1サイクル内のスループットを最大限に確保できる。
- (2) 各計算機毎の演算処理時間及び送受信時間を考慮することなく計算機間のあらゆる接続形態に対応し、かつ接続変更も容易にできる。

更に本発明の計算機システムにおいては、3台以上の計算機がカスケード接続された計算機システムにおいて、初段の計算機での演算と送信、中段の計算機での受信と演算と送信、最終段の計算機での受信と演算とが、完全同期のもとで切替られ、且つそれぞれの処理では2交代バッファメモリを採用して、それぞれの処理に必要なバッファメモリが選択される(請求項4)。これにより、カスケード接続された計算機システムでのスループットが向上する。

更に本発明の計算機システムにおいては、複数台の計算機からの入力を受け、複数台の計算機へ処理結果を出力する計算機にあっては、その入力

機からの入力を受け、複数台の計算機へ処理結果を出力する計算機と、各計算機へ完全同期した同期信号を発生する同期信号発生部とを有し、該計算機は、入力側の複数台の計算機対応の受信部と、演算部と、該各受信部と演算部との間に設けた2つの交代バッファメモリ群(I)と、出力側の複数の計算機対応の送信部と、上記演算部と各送信部との間に設けた2つの交代バッファメモリ群(II)と、上記2つの交代バッファメモリ群(I)を受信部用と演算部用とに、上記同期信号に同期して、切替える第1の切替部と、上記2つの交代バッファメモリ群(II)を演算部用と送信部用とに、上記同期信号に同期して切替える第2の切替部と、より成る(請求項5)。

(作用)

本発明の計算機の運転方法及び計算機システムにおいては、複数の計算機のすべてに対して共通の同期信号により、演算部と送受信部が独立して動作し、その同期信号の1サイクル内に各々が所定の処理を完了する(請求項1、1、3)。それに

対応及び出力対応に交代バッファメモリを用いて受信、演算、送信を、同期して行うことができる(請求項5)。これにより、並列入力、並列出力を行う計算機にあっては、スループットの向上をはかれる。

(実施例)

以下に本発明の実施例を説明する。

本発明の実施例の全体構成図を第1図に示す。計算機#1(11)は、演算部111と接続バス115、116を交互に切替えることのできる交代バッファメモリ112、113、その切替えを行う切替部117及び計算機#2(12)へデータを転送する為の送信部114にて構成される。計算機#2(12)は、計算機#1(11)と同様に演算部124、バッファメモリ125、126、送信部127に加え、受信部121、バッファメモリ122、123、及び切替部128A、128Bより構成される。計算機#3(13)は、計算機#2(12)と同様の受信部131、バッファメモリ132、133及び演算部134、切替部135より構成される。ここで、送信部と受信部は、いずれも起動信号によりデータ転

送処理単独で行う回路である。更に演算部とはCPUとプログラムを格納するメモリとを含むものである。

まず、計算機全体の同期をとる為の同期信号発生部15に対し、システムの動作を開始させる為の起動制御部14からの起動信号145が与えられ、クロック回路151からのクロック信号153をもとに同期信号発生回路152より同一位相の同期信号154、155、156を出力し、それぞれ計算機#1、#2、#3(11、12、13)に与えられる。

計算機#1(11)は、第2図に示す同期信号154の最初のパルス154aを検出するとまず演算部111が処理111aを実行し、その結果をバッファメモリ112へ格納する。計算機#1(11)は、演算処理111aが終了した時点で、切替部117を動かして、バッファメモリ112と113に接続されているバスライン115と116を切替え、バッファメモリ112は受信部114に、バッファメモリ113は演算部111に接続される。次に、計算機#1(11)は同期信号145bを検出すると、演算部111が演算111bを実行して

データが送出されるのを待ち、送信処理114bと同時に受信処理121bを行い受信データはバッファメモリ123へ格納される。また、この処理と平行して、演算部124は、同期信号155aの検出直後に受信処理121a格納したバッファメモリ122のデータをもとに演算処理124aを行い、その結果がバッファメモリ125へ格納される。そして、計算機#2(12)が同期信号155bを検出するとバッファメモリ122は受信部121、バッファメモリ123は演算部124、バッファメモリ125は送信部127、バッファメモリ126は演算部124へと切り替わり、この時点で受信処理121c、演算処理124b、送信処理127aを並列に行うこととなる。以降計算機#2は、同期信号(115a、115b、115c、...)を検出する毎に以上の動作をくり返す。

計算機#3(13)は、まず計算機#2(12)からのデータを受信処理131aにて受診し、バッファメモリ132へ格納する。次に、同期信号156aを検出することにより、バッファメモリ132は演算部134、バッファメモリ133は受信部131へと切り替わり、

バッファメモリ113へ結果を格納すると同時に送信部114はバッファメモリ112の内容を計算機#2(12)に対して送信する為の送信処理114aを行う。その後計算機#1(11)は、同期信号154の各パルス(154c、154d、154e、...)を検出する毎に以上の動作をくり返す。

計算機#2(12)は、同期信号155(155a~155d)を検出するたびに、バッファメモリ122と123を受信部128と演算部124に対して交互に接続を切替えながら、計算機#1(11)からの送信データの送出と共に直ちに受信可能な状態としている。よって、計算機#1(11)の送信処理114aが行われると同時に、計算機#2(12)は受信処理121aを行い、その受信データはバッファメモリ122へ格納される。この時、バッファメモリ123は演算部124へ接続されているが、受信データが空の状態であり、演算処理は実行されない。次に、計算機#2(12)は、同期信号155aを検出することにより、バッファメモリ122を演算部124へ、バッファメモリ123を受信部121へ接続し、計算機#1(11)からの次のデ

受信部131が受信処理131bを行い、それと同時に演算部134はバッファメモリ132のデータをもとに、演算処理134aを行う。その後同様に同期信号156(156a、156b、...)を検出する毎にバッファメモリ132、133の接続を切替えながら以上の動作をくり返す。

このように、計算機#1、#2、#3(11、12、13)は、演算とデータの送受信処理を同期信号の検出と同時に開始し、それらは独立化した回路により並列に行われることとなる。また、これらの処理時間 t_{11} 、 t_{12} 、 t_{21} 、 t_{22} 、 t_{23} 、 t_{31} 、 t_{32} は、同期信号の周期 t_0 以内の設定としている。したがって、各計算機の演算処理におけるスループットをデータの送受信処理によるロスタイムをほとんど意識せずに周期 t_0 内に最大限に確保することができる。さらに、計算期間の接続は、互いの処理時間を考慮することなく変更等が容易にできる。

なお、本方式を応用すれば、特有の効果として前記の一次的な接続形態のみならず、第3図の

ブロック図に示すように二次元的な多重結合状態の接続をも容易に行うことができる。第3図を詳述する。

この実施例は、8台の計算機#1～#8(31～38)と、1台の同期信号発生装置39と、より成る。計算機32, 36, 38は1入力と1出力の入出力の例。計算機31, 35は、2出力, 3出力の例。計算機33, 37は2入力, 3入力の例。計算機34は、2入力と2出力の例である。同期信号発生装置39は、クロック回路39Bと、同期信号発生回路39Aとより成り、各計算機31～38に対して共通な同期信号①～⑧を出力する。

計算機#1～#8(31～38)は、第1図に示す計算機に、データの送受信部を増やした回路(計算機34, 35, 37を指す。)を含んでいる。

このうち計算機#4(34)を例にとれば、そのブロック図は第4図の構成となり、送受信部及び二重のパツファメモリ部を4対(42, 43, 45, 46, 48, 49, 412, 414)を設けたものである。更に、受信部41, 44, 送信部411, 413, 演算部47を有す

る。この計算機#4(34)は、第1図に示す計算機#2(12)と全く同様に動作する。第5図に計算機#4(34)のタイミングチャートを示す。計算機#1への同期信号①を、記号51(51a, 51b, ...)で示す。計算機#4へも同期信号④が入力するが、これは記号40で示す。信号40と51とは、同一の同期信号である。同期信号51aにて計算機#1(31)と計算機#5(35)はそれぞれ、演算511aと551aを行う。続いて同期信号51bによって、計算機#1(31)、計算機#5(35)、計算機#5(34)は、それぞれ処理511b, 512a, 551b, 552a, 541a, 542aを行う。このとき計算機#4(34)は、受信部41, 44により計算機#1(31)、計算機#5(35)からのデータを個別に受信する。そして、計算機#4(34)は同期信号51cによって、受信処理541b, 542bでデータを受信しながら、541a, 542aで受信済みの2種のデータをもとに演算543aを行う。同期信号51dの時点で、計算機#4(34)は前記と同様に処理541c, 542c, 543bを行いながら、演算543aでの結果のデータを送信部411, 413により処理544a,

545aとして、それぞれ計算機#3(33)と計算機#7(37)へ送出する。

このように、本発明は直列のみならず並列的な多重接続においても容易に動作が可能である。

この計算機システムを用いての具体例を述べる。立体物体を、異なる位置に設置した2台のTVカメラで撮像し、計算機#1が第1のTVカメラの撮像画像を取り込むものとし、計算機#5が第2のTVカメラの撮像画像を取り込むものとする。そして、第3図の計算機システムがそれら2つの画像を処理して、ある種の特徴を抽出するものとする。この際、各計算機#1～#8の役割は以下の如く設定する。

計算機#1…第1画像に対するノイズ除去等の前処理、

計算機#2…前処理結果画像の2値化処理

計算機#5…第2画像に対するノイズ除去等の前処理、

計算機#4…計算機#1, #5の前処理結果の積和演算処理、

計算機#6…前処理結果画像の2値化処理

計算機#8…前処理結果画像のエッジ強調処理

計算機#3…計算機#2, #4の処理結果から特徴Ⅰ抽出、

計算機#7…計算機#4, #6, #8の処理結果から特徴Ⅱ抽出、

ここで特徴ⅠやⅡとは、画像の性状を示すものである。

尚、第1図の計算機#1では1個の送信部、計算機#3では1個の受信部としたが、これらを区別せずに送受信部と称しても特に問題はない。

〔発明の効果〕

本発明によれば、演算部と送信部及び受信部を独立化しているので演算部の負荷率を原理的には100パーセント近くまで上げられる効果がある。

また、システムの接続状態が大規模化、複雑化しても、あらゆるシステム構成に対応でき、かつ接続変更等も容易にできる。

4. 図面の簡単な説明

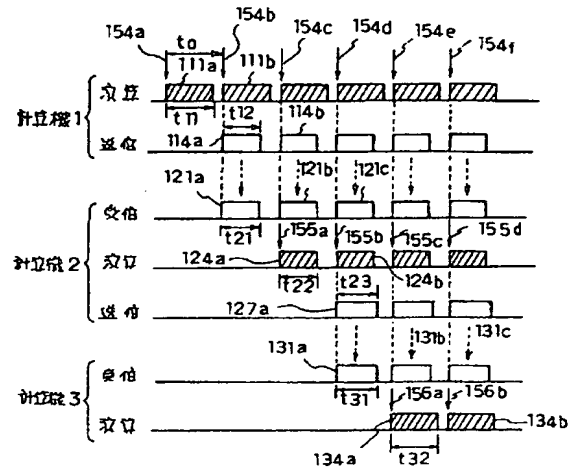
第1図は、本発明のブロック図、第2図はその

動作タイミングチャート、第3図は本発明を応用したブロック図、第4図はその中の1つの計算機内を示すブロック図、第5図はそのタイミングチャート、第6図は従来方式を説明するブロック図、第7図はそのタイミングチャートである。

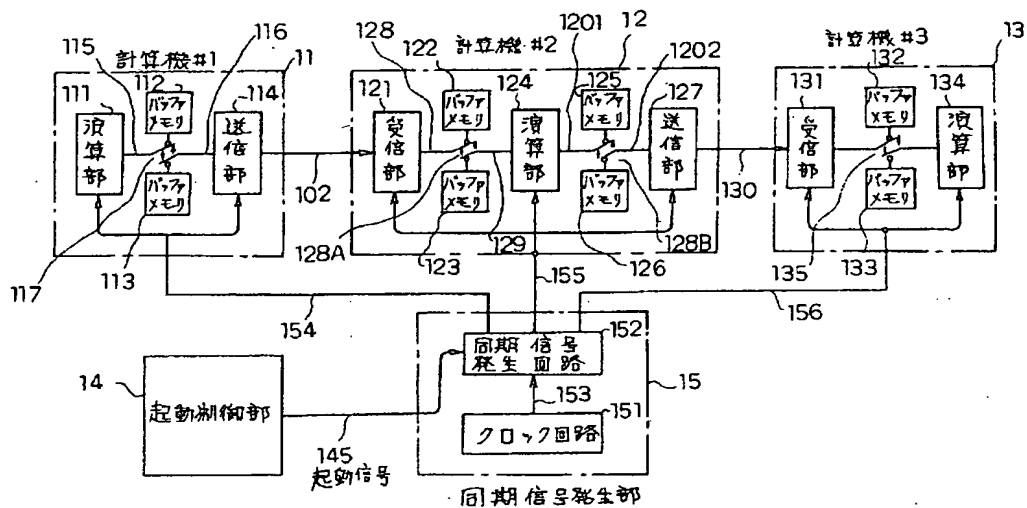
11…計算機(#1)、12…計算機(#2)、13…計算機(#3)、14…起動制御部、15…同期信号発生部、31~38…計算機#1~#8、39…同期信号発生部、61…計算機#1、62…計算機#2、63…計算機#3、64…第1の同期信号発生回路、65…第2の同期信号発生回路、66…第3の同期信号発生回路、67…クロック回路、60…同期信号発生部。

代理人井理士 秋本正実

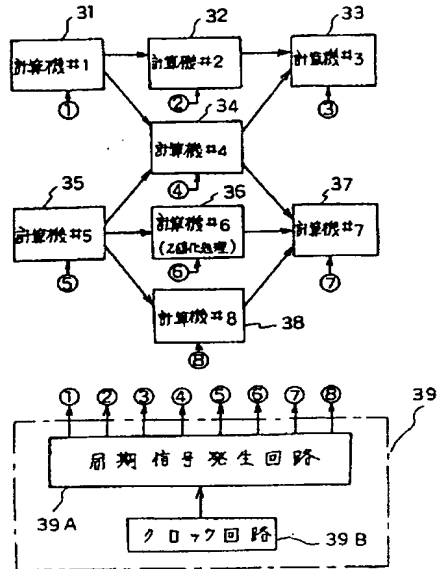
第 2 図



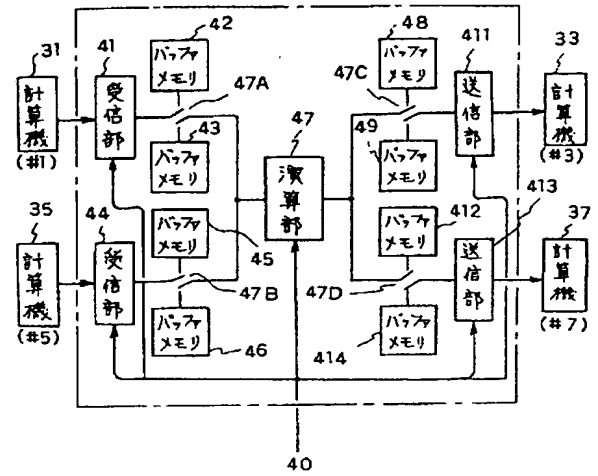
第 1 図



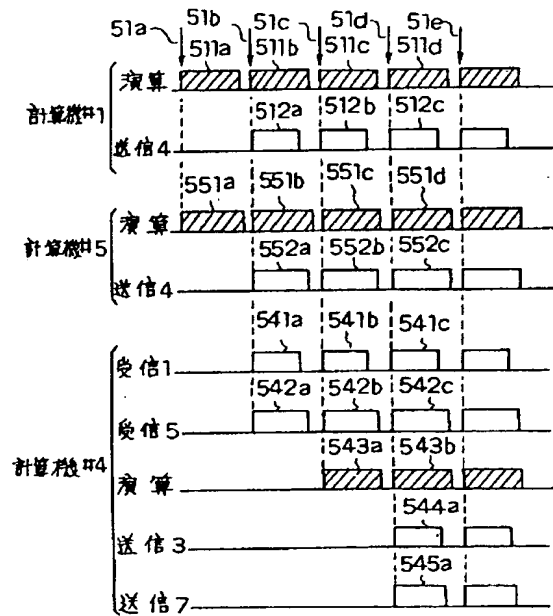
第 3 図



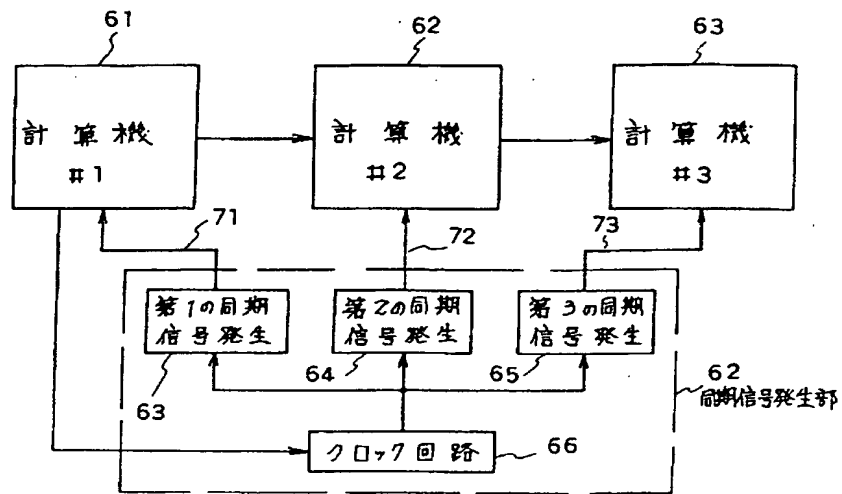
第 4 図



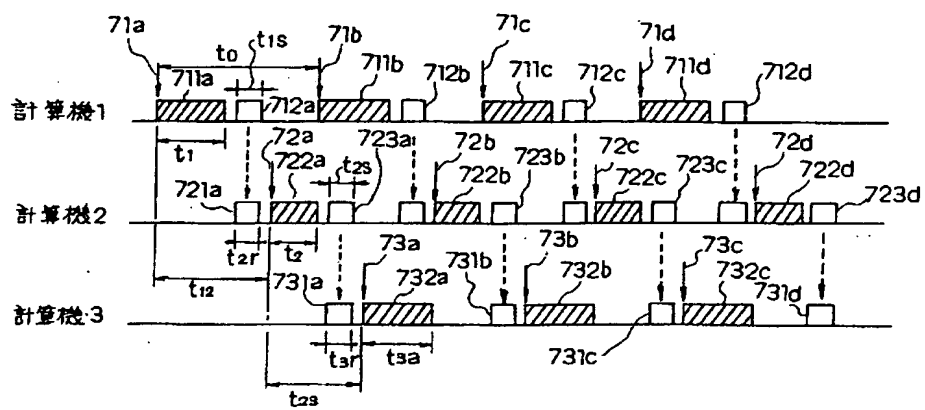
第 5 図



第 6 図



第 7 図



特開平 4-131960 (10)

第 1 頁の続き

②発 明 者

粥 川

悟

茨城県日立市大みか町 5 丁目 2 番 1 号 株式会社日立情報
制御システム内